

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-114262

(P2000-114262A)

(43)公開日 平成12年4月21日 (2000.4.21)

10/083163
02/27/02
1017 U.S. PTO

(51)Int.Cl.⁷
H 01 L 21/3205
21/768
21/8244
27/11
29/78

識別記号

F I
H 01 L 21/88
21/90
27/10
29/78

テマコード⁸(参考)
5 F 0 3 3
5 F 0 4 0
5 F 0 8 3
5 F 1 1 0
6 1 6 J

審査請求 未請求 請求項の数 2 OL (全 6 頁) 最終頁に続く

(21)出願番号 特願平10-282616

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成10年10月5日 (1998.10.5)

(72)発明者 江木 雄一郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

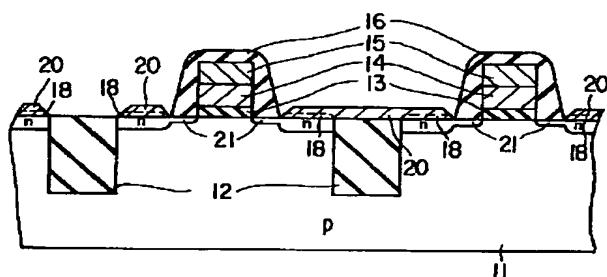
弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】本発明は、ローカルインターボネクトを形成するための工程が複雑であった。

【解決手段】シリコン基板11上にトランジスタのゲート電極を形成し、この全面にアモルファスシリコン膜17を堆積する。次に、アモルファスシリコン膜17を選択的に成長させて単結晶シリコン膜18を形成し、インターボネクト形成部上のみにレジスト19を形成する。その後、インターボネクト形成部以外のアモルファスシリコン膜17b、17cは除去し、インターボネクト形成部のアモルファスシリコン膜17aと単結晶シリコン膜18の領域にシリサイド膜20からなるローカルインターボネクトを形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたトランジスタのゲート電極と、一部が前記ゲート電極の両側で前記半導体基板の表面よりも上方に位置する前記トランジスタの活性領域と、前記半導体基板上に形成され、前記活性領域と他の活性領域とを接続し、且つ前記トランジスタの活性領域と同時に形成されたシリサイド層からなるインターローケクトとを具備することを特徴とする半導体装置。

【請求項2】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上に前記ゲート絶縁膜及び前記ゲート電極を覆う絶縁膜を形成する工程と、前記半導体基板の全面にアモルファス半導体層を堆積する工程と、前記アモルファス半導体層を選択的に成長させて単結晶半導体層を形成する工程と、前記単結晶半導体層のインターローケクト形成部上のみにレジスト層を形成する工程と、前記インターローケクト形成部以外の前記アモルファス半導体層を除去する工程と、前記レジスト層を除去する工程と、前記インターローケクト形成部のアモルファス半導体層及び前記単結晶半導体層上に金属膜を堆積しシリサイド膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSトランジスタに係わり、特にエレベーテッドソースドレインの技術を用いたMOSトランジスタに使用される半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来、例えばスタティック・ランダム・アクセス・メモリ(SRAM)において隣接するトランジスタ間を接続しているローカルインターローケクトは、以下のように形成される。

【0003】 まず、図7に示すように、シリコン基板71内に複数の素子分離領域72が形成される。このシリコン基板71の素子領域上にゲート酸化膜73が形成され、このゲート酸化膜73上に複数のゲート電極74が形成される。このゲート酸化膜73とゲート電極74の側面にはゲート電極側壁スペーサ75が形成される。この後、例えばシリコン基板71内にソース・ドレイン領域を形成する不純物が導入され、複数のトランジスタが形成される。

【0004】 次に、図8に示すように、ローカルインターローケクトを形成するために、ゲート電極74上にシリコン窒化膜76が堆積される。このシリコン窒化膜76

上にシリコン酸化膜77が堆積される。このシリコン酸化膜77上に図示されていないレジストが塗布され、このレジストがリソグラフィ法によりパターニングされる。

【0005】 さらに、図9に示すように、パターニングされたレジストをマスクとして、ローカルインターローケクト形成部のみのシリコン窒化膜76とシリコン酸化膜77がエッチングされ、開口部77aが形成される。次に、シリコン酸化膜77上に金属が堆積され、開口部77aに金属が埋め込まれる。その後、CMP(化学的機械研磨)法を用いて、シリコン酸化膜77上の金属が除去され、ローカルインターローケクト78が形成される。

【0006】 上記のようなローカルインターローケクトの製造方法は、シリコン基板71上に絶縁物を堆積し、それに開口部77aを形成するという非常に複雑な製造工程であった。

【0007】 また、CMPにより金属を除去するときにシリコン酸化膜77が研磨され、トランジスタまでが削られる可能性がある。そのため、ローカルインターローケクト78の形成において、シリコン酸化膜77は厚く形成しなければならない。このため、開口部77aのアスペクト比も大きくなり、絶縁膜が厚い分、開口形成が困難となる問題がある。

【0008】 また、シリコン窒化膜76とシリコン酸化膜77をエッチングし、開口部77aを形成する際、素子分離領域72までもがエッチングされる場合がある。そのため、シリコン基板71内のソース・ドレイン領域の底面よりも素子分離領域72の表面が下に位置することがある。ここで、本来逆バイアス印加時にp型領域とn型領域間で電流は流れない。しかし、素子分離領域72の表面が、ソース・ドレイン領域の底面よりも下がった場合、リーク電流がシリコン基板71内に流れ込み、素子の機能低下を起こすという問題が生じる。

【0009】

【発明が解決しようとする課題】 以上のように、従来技術ではローカルインターローケクト形成のための工程が複雑であり、また、開口形成が困難であるという問題があった。本発明は上記課題を解決するためになされたものであり、その目的とするところは、ローカルインターローケクトを形成するための工程が容易な半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】 本発明は、前記目的を達成するために以下に示す手段を用いている。本発明の半導体装置は、半導体基板上に形成されたトランジスタのゲート電極と、一部が前記ゲート電極の両側で前記半導体基板の表面よりも上方に位置する前記トランジスタの活性領域と、前記半導体基板上に形成され、前記活性領域と他の活性領域とを接続し、且つ前記トランジスタの活性領域と同時に形成されたシリサイド層からなるイン

ターコネクトとを具備する。

【0011】本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上に前記ゲート絶縁膜及び前記ゲート電極を覆う絶縁膜を形成する工程と、前記半導体基板の全面にアモルファス半導体層を堆積する工程と、前記アモルファス半導体層を選択的に成長させて単結晶半導体層を形成する工程と、前記単結晶半導体層のインターチュート形成部上のみにレジスト層を形成する工程と、前記インターチュート形成部以外の前記アモルファス半導体層を除去する工程と、前記レジスト層を除去する工程と、前記インターチュート形成部のアモルファス半導体層及び前記単結晶半導体層上に金属膜を堆積しシリサイド膜を形成する工程とを具備する。

【0012】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。図1に示すように、シリコン基板11内には例えばSTI(Shallow Trench Isolation)からなる複数の素子分離領域12が形成される。このシリコン基板11の素子領域上にゲート酸化膜13が形成され、このゲート酸化膜13上に多結晶シリコンゲート電極14が形成される。この多結晶シリコンゲート電極14上には、例えばタングステン(W)やチタン(Ti)等の高融点金属からなるメタルゲート電極15が形成されてゲート電極Gが形成される。その後、ゲート電極Gをマスクとしてシリコン基板11の表面領域に低濃度の不純物が導入され、LDD(Lightly Doped Drain)領域21が形成される。次に、全面にシリコン窒化膜が形成され、これがエッチバックされてゲート電極G上及びその側面にシリコン窒化膜16が形成される。

【0013】次に、図2に示すように、全面にエレベーテッドソースドレインを形成するためのアモルファスシリコン膜17が形成される。その後、図3に示すように、アモルファスシリコン膜17を、例えば700°C、30分の条件でアニールし選択的に固相エピタキシャル成長させる。このとき、アモルファスシリコン膜17は、シリコン基板11の単結晶シリコンを核として成長する。そのため、ソース・ドレイン領域上のアモルファスシリコン膜17のみが単結晶シリコン膜18に成長し、エレベーテッドソースドレインが形成される。つまり、素子分離領域12上及びシリコン窒化膜16上のアモルファスシリコン膜17a、17b及び17cは単結晶シリコンに成長せずにアモルファスシリコンのままである。

【0014】次に、全面にレジストが塗布される。このレジストがローカルインターチュート形成部となるアモルファスシリコン膜17a上に残るように、リソグラフィ法によりパターニングされる。

【0015】図4はローカルインターチュート形成部に

形成されたレジスト19を示している。上述した固相エピタキシャル成長では、単結晶シリコン膜18のファセット面の角度 α は54°となる。そのため、レジスト19は、アモルファスシリコン膜17aの全面を覆うように広くパターニングする必要がある。

【0016】次に、図5に示すように、例えば2.5:1の比からなるCF4/O2の混合ガスを用いてCDE(Chemical Dry Etching)法により、レジスト19で覆われていない素子分離領域12上及びシリコン窒化膜16上のアモルファスシリコン膜17b、17cが除去される。このとき、アモルファスシリコン膜17aはレジスト19がマスクとなるため除去されない。その後、レジスト19は剥離される。

【0017】次に、全面に図示されていない高融点金属膜を形成する。この高融点金属の例としてはチタン(Ti)、コバルト(Co)、ニッケル(Ni)、白金(Pt)、タングステン(W)、モリブデン(Mo)等があげられる。

【0018】次に、図6に示すように、例えば800°Cで数十秒間アニールを行うことにより、アモルファスシリコン膜17aと単結晶シリコン膜18の領域にシリサイド膜20が形成される。このとき、シリサイド膜20はシリコン基板11の表面下まで形成され、且つソース・ドレイン領域底面のpn接合より上に位置するように全体的に薄く形成される。その後、シリサイド膜20に成長しなかった未反応の高融点金属膜は除去される。

【0019】尚、本発明においてソース・ドレイン領域の形成時期は、図5に示すエピタキシャル成長の前後のどちらでもよい。例えば、エピタキシャル成長前であれば、シリコン窒化膜16の側壁が形成された後、ソース・ドレイン領域が形成される。その後、アモルファスシリコン膜17をエピタキシャル成長させ、シリサイド膜20が形成される。

【0020】また、エピタキシャル成長後であれば、シリコン窒化膜16の側壁が形成され、アモルファスシリコン膜17をエピタキシャル成長させた後、ソース・ドレイン領域が形成される。その後、シリサイド膜20が形成される。この場合、ソース・ドレイン領域の形成とシリサイド膜20の形成はどちらが先でもよい。

【0021】以上のように、ローカルインターチュートの形成部分は、エレベーテッドソースドレインの形成において固相エピタキシャル成長に用いるアモルファスシリコン膜17によって形成することができる。つまり、従来のように絶縁膜をエッチングして開口を形成し、この開口を金属で充填するといった工程が不要であるため、製造工程を従来に比べて簡略化できる。しかも、開口を形成する工程がないため、素子分離領域12がエッチングされ、素子分離領域12の表面がソース・ドレイン領域の底面よりも下がることがない。従って、リーク電流の発生を防止することができる。

【0022】また、エレベーテッドソースドレインを用いているため、ソース・ドレイン領域を深くすることなく、シリサイド膜を厚くすることができるため、ショートチャネル効果を抑制したまま、電流量を確保することができる。

【0023】尚、上記実施の形態では2つのトランジスタのソース・ドレイン領域を接続する場合について説明したが、これに限定されるものではなく、例えばトランジスタと他の回路要素とを接続する場合にも適用できる。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0024】

【発明の効果】以上説明したように本発明によれば、容易にローカルインターフェクトを形成することができ、リーク電流の発生を防止可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の製造工程の断面図。

【図2】本発明に係わる半導体装置の製造工程の断面図。

【図3】本発明に係わる半導体装置の製造工程の断面図。

【図4】本発明に係わる半導体装置の製造工程の断面

図。

【図5】本発明に係わる半導体装置の製造工程の断面図。

【図6】本発明に係わる半導体装置の製造工程の断面図。

【図7】従来技術による半導体装置の製造工程の断面図。

【図8】従来技術による半導体装置の製造工程の断面図。

【図9】従来技術による半導体装置の製造工程の断面図。

【符号の説明】

11…シリコン基板、

12…素子分離領域 (S T I) 、

13…ゲート酸化膜、

14…多結晶シリコンゲート電極、

15…メタルゲート電極、

16…シリコン窒化膜、

17、17a、17b、17c…アモルファスシリコン膜、

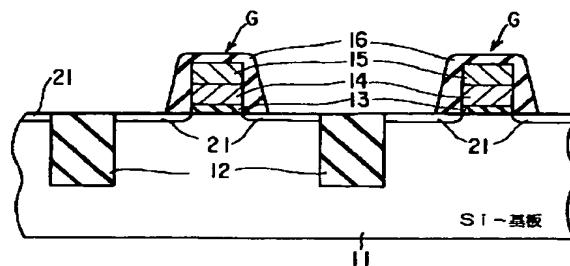
18…単結晶シリコン膜、

19…レジスト、

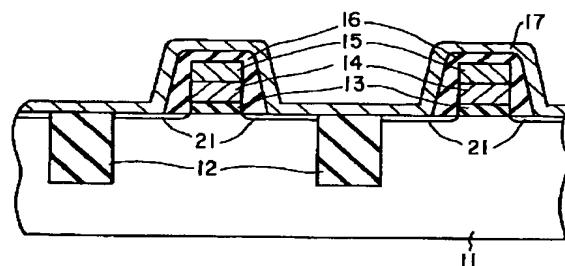
20…シリサイド膜、

21…L D D。

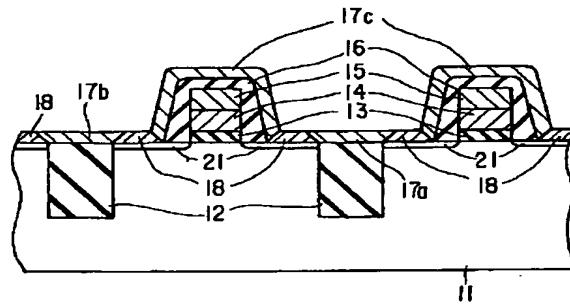
【図1】



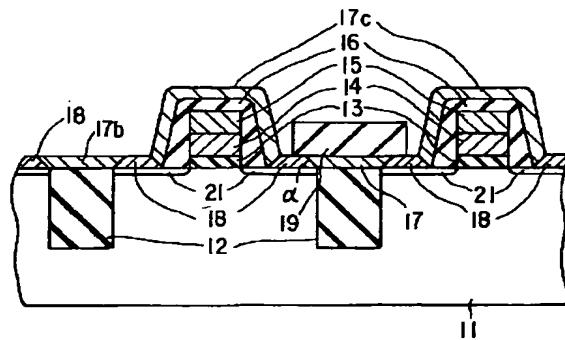
【図2】



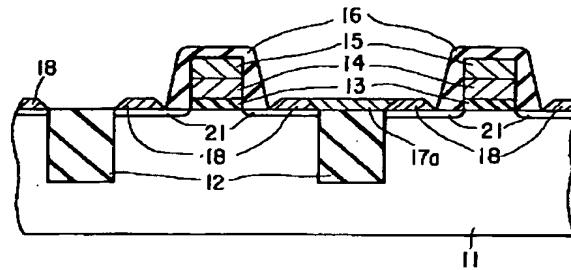
【図3】



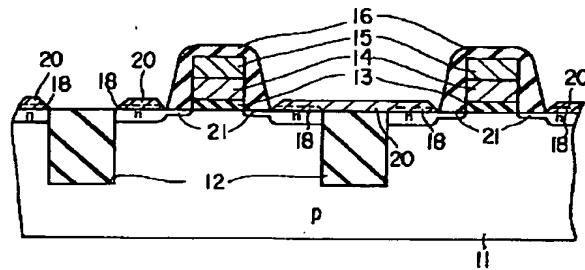
【図4】



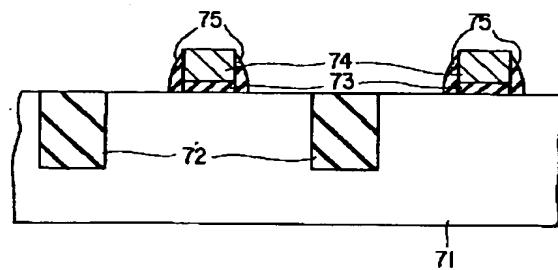
【図5】



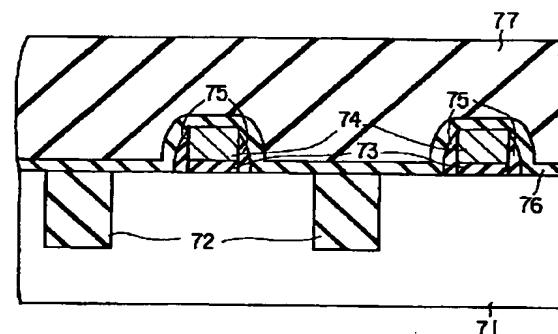
【図6】



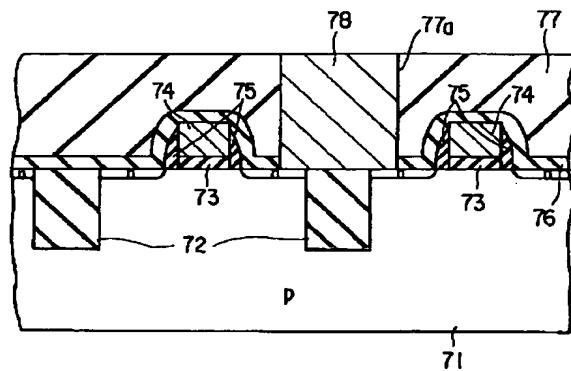
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 7

H 01 L 21/336
29/786

識別記号

F I
H 01 L 29/78

マークコード (参考)

658 F

F ターム (参考) 5F033 HH26 MM25 QQ06 QQ70 QQ73
5F040 DB01 DC01 EF02 EH07 EJ01
EK01 FC19
5F083 BS06 BS46 JA33 JA34 JA35
JA39 KA17 PR21
5F110 BB07 CC09 DD05 HK05 HM17
PP16 PP22 QQ01